

Patent Abstracts of Japan

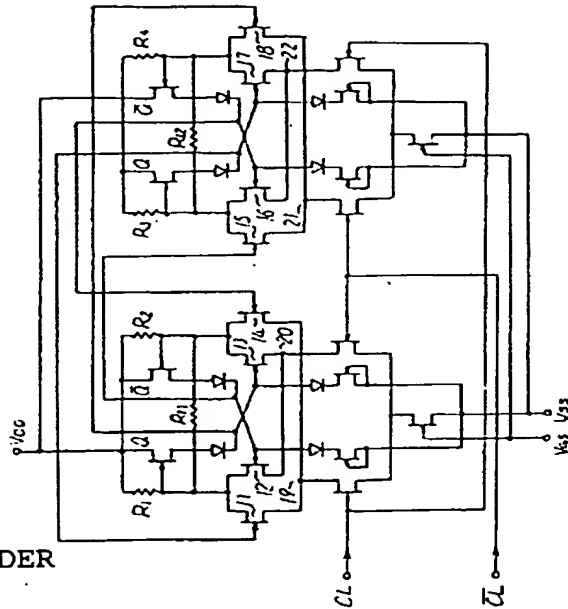
PUBLICATION NUMBER : JP3121620
 PUBLICATION DATE : 23-05-91
 APPLICATION NUMBER : JP890260443
 APPLICATION DATE : 04-10-89

VOL: 15 NO: 326 (E - 1102)
 AB. DATE : 20-08-1991 PAT: A 3121620
 PATENTEE : NEC CORP
 PATENT DATE: 23-05-1991

INVENTOR : YAMAMOTO RYUICHIRO

INT.CL. : H03K23/52; H03K23/44

TITLE : STATIC TYPE FREQUENCY DIVIDER



ABSTRACT : **PURPOSE:** To attain high speed operation by tying the output terminals of a couple of load resistors with a high value resistor to operate the FET of a differential amplifier in switching operation at the saturation region.
CONSTITUTION: Since a potential at the output terminal of a load resistor R1 is decreased and the potential of a resistor R2 rises, the decrease in the potential of the resistor R1 is stopped while being pulled to the potential of the resistor R2 by connecting both ends of the load resistors R1, R2 with a high value resistor R11. Moreover, both ends of load resistors R3, R4 are connected by the similar high value resistor R12. Even when the potential of a common source section 19 or 20 of a differential amplifier circuit composed of FETs 11-14 rises, the source-drain potential of the FETs 11-14 is established. Thus, a static frequency divider enabling high speed operation is obtained.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-121620

⑬ Int. Cl.⁵

H 03 K 23/52
23/44

識別記号

庁内整理番号

7125-5 J
7125-5 J

⑭ 公開 平成3年(1991)5月23日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 スタティック型分周器

⑯ 特 願 平1-260443

⑰ 出 願 平1(1989)10月4日

⑱ 発 明 者 山 本 隆 一 郎 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

スタティック型分周器

特許請求の範囲

2組一対のFETと、これら一対のFETの共通ドレイン端に接続された一対の負荷と前記2組一対のFETの各ソース電極が互いに他のソース電極と共通に接続され、かつこれら2組の共通接続部を新たな一対のクロック用FETのドレイン電極と接続しこれらクロック用FETのソース電極を共通に接続して、更にこれら共通接続部と接地間に定電流源が接続されてなる縦積み型差動回路と、1対のレベルシフトとからなる第1、第2のフリップフロップ回路がマスター・スレーブ方式に接続されてなるスタティック型分周器において、前記一対の負荷の各出力端同士が高低抗値の低抗によりそれぞれ接続されたことを特徴とするスタティック型分周器。

発明の詳細な説明

(産業上の利用分野)

本発明は、スタティック型分周器に関し、特に縦積み差動型分周器に関する。

(従来の技術)

従来のスタティック型分周器として、第3図に示す回路がある。この回路は、差動回路が縦積みになり、負荷低抗 $R_1 \sim R_4$ の出力がFETとダイオードとで構成されるレベルシフト部を介してラッチされてフリップフロップ回路を構成している。FET11~18は差動回路を構成し、接続点19~22が共通接続されたリース部となっている。また、C1、C2に互に逆相のクロックが入力される。

(発明が解決しようとする課題)

しかしながら従来のスタティック型分周器は、負荷低抗端の電位振幅により差動回路を構成しているFETのソース・ドレイン間の電圧がつかよって線形領域(飽和領域)での動作ができなくなる。第4図(a)、(b)は第3図の計算機によ

るシミュレーション結果を示す波形図である。この図のように電圧波形がつぶれ、その結果として誤動作を生じ、最高動作周波数 f_{max} の低下をきたすと言う欠点があった。

本発明の目的は、このような欠点を除き、従来の回路に高負荷抵抗を加えるだけでスイッチングFETのソース・ドレイン間電位のつぶれを防止し、高速動作を可能としたスタティック型分周器を提供することある。

(課題を解決するための手段)

本発明の構成は、2組一対のFETと、これら一対のFETの共通ドレイン端に接続された一対の負荷と前記2組一対のFETの各ソース電極が互いに他のソース電極と共通に接続され、かつこれら2組の共通接続部を新たな一対のクロック用FETのドレイン電極と接続しこれらクロック用FETのソース電極を共通に接続して、更にこれら共通接続部と接地間に定電流源が接続されてなる縦積み型差動回路と、1対のレベルシフタとからなる第1、第2のフリップフロップ回路がマス

ター・スレーブ方式に接続されてなるスタティック型分周器において、前記一対の負荷の各出力端同志が高低抗値の抵抗によりそれぞれ接続されたことを特徴とする。

(実施例)

次に本発明について図面を用いて説明する。

第1図は本発明の一実施例の回路図である。第1図において点線で囲んだ部分はレベルシフター部 $R_1 \sim R_4$ は負荷抵抗である。負荷抵抗 R_1 の出力端の電位が下がるとき、抵抗 R_2 の電位は上がっている。従って、これら負荷抵抗 R_1 、 R_2 の両端を高低抗 R_{11} で接続すれば抵抗 R_1 の電位は抵抗 R_2 の電位に引張られて電位の下がりやが停まる。なお、負荷抵抗 R_3 、 R_4 の両端は同様の高低抗 R_{12} で接続される。このとき、FET11～14で構成する差動回路の共通ソース部19あるいは20の電位が上昇してもFET11～14のソース・ドレイン間電位はつぶれないことになる。

第2図は第1図の分周器の計算機シミュレーション

の結果の波形図であり、第4図(a)、(b)の従来の分周器のシミュレーション結果と比較すると、本実施例の分周器の方が高い周波数まで動作している事がわかる。なお、これら回路の使用回路素子定数は両者とも同じとしている。

(発明の効果)

以上説明したように本発明は、一対の負荷抵抗の出力端同志を高低抗で結ぶ事により、スイッチ動作を行う差動回路FETを飽和領域で動作させ、その結果高速動作ができるという効果がある。

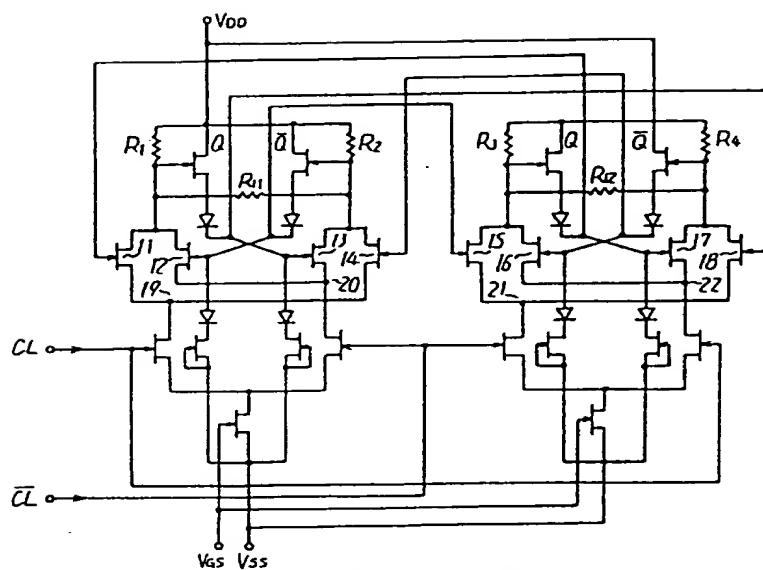
図面の簡単な説明

第1図は、本発明の一実施例の回路図、第2図は第1図の計算機シミュレーション結果の動作波形図、第3図は、従来の分周回路の一例の回路図、第4図(a)、(b)は第3図のシミュレーション結果の動作波形図である。

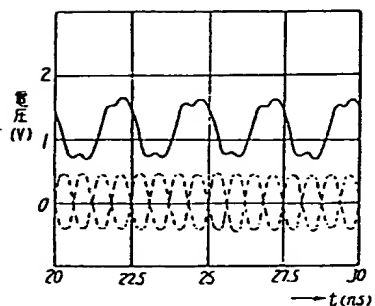
$R_1 \sim R_4$ …負荷抵抗、 R_{11} 、 R_{12} …高低抗、11～18…差動回路FET、19～22…共通

ソース部、 $V_{DD} \sim V_{SS}$ …電源電圧、CL、 \overline{CL} …入力クロック端子。

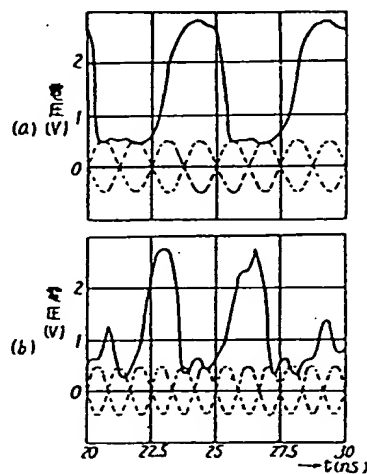
代理人 井原士 内 原 哲



第 1 図



第 2 図



第 4 図

Patent Abstracts of Japan

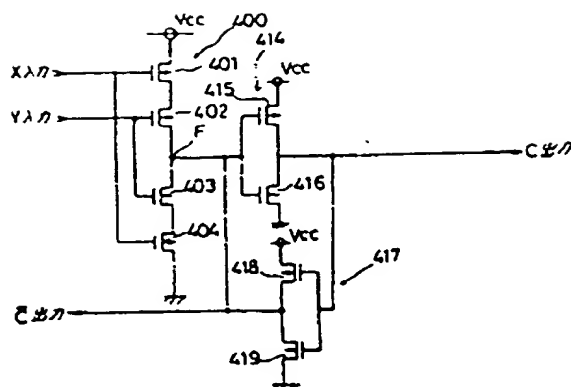
PUBLICATION NUMBER : JP61294932
 PUBLICATION DATE : 25-12-86
 APPLICATION NUMBER : JP850136604
 APPLICATION DATE : 21-06-85

VOL: 11 NO: 161 (E - 509)
 AB. DATE : 23-05-1987 PAT: A 61294932
 PATENTEE : MITSUBISHI ELECTRIC CORP;
 others: 03
 PATENT DATE: 25-12-1986

INVENTOR : TERADA HIRONORI; others: 09

INT.CL. : H03K19/21
 G06F5/06; G06F7/04

TITLE : SEMICONDUCTOR DEVICE AND
 DATA TRANSMISSION LINE



ABSTRACT : PURPOSE: To improve the noise immunity performance and to eliminate a transient current by using the 2nd CMOS inverter comprising a transistor (TR) having a smaller drive capability than that of the 1st CMOS inverter to invert a coincident output, and feeding back the output to an intermediate output of a series connection.
 CONSTITUTION: The latch structure is constituted by the 1st and 2nd CMOS inverters 414, 417 and an output C of the 1st CMOS inverter 414 is fed back to a node F while being inverted by the 2nd CMOS inverter 417, a complete logical '1' or '0' is outputted as the output C. That is, when two inputs X, Y of the CMOS FET differ, the node F goes to the floating state, and when the output C is close comparatively to logical '1' (or '0'), the output of the 2nd CMOS inverter 417 approaches comparatively logical '0' (or '1') and the output C rises (or descends) completely up to logical '1' (or '0'), then strong noise immunity is attained and the output level is not deteriorated.